

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-135038

(43)Date of publication of application : 18.05.2001

(51)Int.Cl.

G11B 20/14  
H03L 7/10

(21)Application number : 11-311623

(71)Applicant : NEC CORP

(22)Date of filing : 01.11.1999

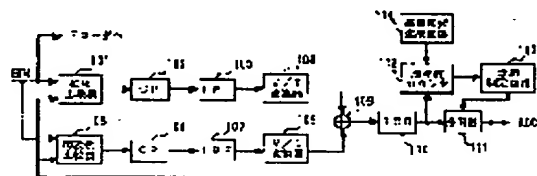
(72)Inventor : MINETA MITSUAKI

## (54) PLL CIRCUIT AND DATA READER

## (57)Abstract:

PROBLEM TO BE SOLVED: To provide a PLL circuit which is adaptive to the change of the frequency of an input signal without enlarging the range of the oscillation frequency of an oscillator.

SOLUTION: The PLL circuit is provided with a phase comparator, a first charge pump(CP), a first low pass filter(LPF), a second voltage current converter (V/I converter), a frequency comparator, second CP, second LPF, a second V/I converter, a current adder, a current controlled oscillator (ICO), a frequency divider, a frequency counter measuring the period of the output signal of ICO based on a reference block and frequency division judgment circuit varying the frequency dividing value of the frequency divider so that the PLL circuit is locked in the oscillation frequency range of the oscillator based on the measured result of the frequency counter.



## LEGAL STATUS

[Date of request for examination]

10.10.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than



NOT AVAILABLE COPY

(2)

特開2001-135038

1

【特許請求の範囲】

【請求項1】位相比較器の出力に応じた制御電圧又は制御電流によって発振周波数が制御される発振器の出力を分周値可変型の分周器を介して前記位相比較器に帰還入力し入力信号との位相差を検出するPLL回路において、

前記入力信号の周期の測定結果に応じて前記分周器の分周値を可変に設定する手段を備えたことを特徴とするPLL回路。

【請求項2】位相比較器の出力に応じた制御電圧又は制御電流によって発振周波数が制御される発振器の出力を分周値可変型の分周器を介して前記位相比較器に帰還入力し入力信号との位相差を検出するPLL回路において、

前記発振器の出力信号の周期の測定結果に応じて前記分周器の分周値を可変に設定する手段を備えたことを特徴とするPLL回路。

【請求項3】前記分周値を可変に設定する手段が、前記入力信号の1周期の長さを測定する測定手段と、

前記測定手段の測定結果に基づき、前記発振器の発振周波数範囲内で同期するように分周値を決定し、前記決定した分周値を前記分周器に対して設定する手段と、を備えたことを特徴とする請求項1記載のPLL回路。

【請求項4】前記分周値を可変に設定する手段が、前記発振器の出力信号の1周期の長さを測定する測定手段と、

前記測定手段の測定結果に基づき、前記発振器の発振周波数範囲内で同期するように分周値を決定し、前記決定した分周値を前記分周器に対して設定する手段と、を備えたことを特徴とする請求項2記載のPLL回路。

【請求項5】前記分周値が、前記分周器を迂回することに相当する分周値である1を含む、ことを特徴とする請求項1乃至4のいずれか一に記載のPLL回路。

【請求項6】入力信号を一の入力端に輸入する位相比較器と、

前記位相比較器の出力を入力とするループフィルタと、前記ループフィルタの出力電圧に基づき発振周波数が可変に設定される電圧制御発振器と、

前記電圧制御発振器の出力信号を分周して前記位相比較器の他の入力端に供給する分周器と、を備えたPLL回路において、

前記分周器は分周値が可変に設定可能とされており、前記入力信号の周期を測定することで周波数を求める周波数測定回路と、

前記周波数測定回路の測定結果に基づき前記分周器の分周値を決定し前記分周器の分周値を可変させる分周判定回路と、

を備えたことを特徴とするPLL回路。

【請求項7】入力信号を一の入力端に輸入する位相比較器と、

2

前記位相比較器の出力を入力とするループフィルタと、前記ループフィルタの出力電圧に基づき発振周波数が可変に設定される電圧制御発振器と、前記発振器の出力信号を分周して前記位相比較器の他の入力端に供給する分周器と、を備えたPLL回路において、

前記分周器は分周値が可変に設定可能とされており、前記発振器の出力信号の周期を測定することで前記入力信号の周波数を求める周波数測定回路と、

前記周波数測定回路の測定結果に基づき前記分周器の分周値を決定し前記分周器の分周値を可変させる分周判定回路と、

を備えたことを特徴とするPLL回路。

【請求項8】前記分周判定回路が、前記周波数測定回路から出力される測定結果に応じて、前記発振器の発振周波数範囲内で、PLL回路がロックするように、前記分周値を設定する、ことを特徴とする請求項6又は7記載のPLL回路。

【請求項9】入力される制御電圧に応じた周波数のクロック信号を生成出力する電圧制御発振器と、

分周値が可変に設定され、前記電圧制御発振器からのクロック信号を分周する分周器と、

入力信号と前記分周器から出力されるクロック信号とを入力とし、これらの信号の位相差に対応した電圧を出力する位相比較器と、

前記入力信号と前記分周器から出力されるクロック信号とを入力とし、前記入力信号の同期パターンを前記分周器から出力されるクロック信号を用いて計測することにより周波数誤差を検出し、前記周波数誤差に応じた誤差電圧を出力する周波数比較器と、

前記位相比較器からの出力電圧を入力とする第1の低域通過フィルタと、

前記周波数比較器からの出力電圧を入力とする第2の低域通過フィルタと、

前記第1の低域通過フィルタの出力電圧と前記第2の低域通過フィルタの出力電圧とを加算する電圧加算器と、

を備え、前記電圧加算器の出力電圧が、前記制御電圧として、前記電圧制御発振器に入力され、さらに、

前記電圧制御発振器の出力信号の周期を測定する周波数測定回路と、

前記周波数測定回路の測定結果に基づき、前記発振器の発振周波数範囲内で、PLL回路がロックするように、

前記分周器の分周値を設定する分周判定回路と、を備えたことを特徴とするPLL回路。

【請求項10】前記電圧制御発振器が、入力された電圧を電流に変換する電圧電流変換器と、前記電圧電流変換器から出力される電流を制御電流として入力する電流制御発振器と、から構成されている、ことを特徴とする請求項6乃至9のいずれか一に記載のPLL回路。

【請求項11】入力される制御電流に応じた周波数のク

BEST AVAILABLE COPY

(3)

特開2001-135038

3  
 ロック信号を生成出力する電流制御発振器と、  
 分周値が可変に設定され、前記電流制御発振器からのクロック信号を分周する分周器と、  
 入力信号と前記分周器から出力されるクロック信号とを入力とし、これらの信号の位相差に対応した電圧を出力する位相比較部と、  
 前記入力信号と前記分周器から出力されるクロック信号とを入力とし、前記入力信号の同期パターンを前記分周器から出力されるクロック信号を用いて計測することにより周波数誤差を検出し、前記周波数誤差に応じた誤差電圧を出力する周波数比較部と、  
 前記位相比較部からの出力電圧を入力とする第1の低域通過フィルタと、  
 前記周波数比較部からの出力電圧を入力とする第2の低域通過フィルタと、  
 前記第1の低域通過フィルタの出力電圧を電流に変換する第1の電圧電流変換回路と、  
 前記第2の低域通過フィルタの出力電圧を電流に変換する第2の電圧電流変換回路と、  
 を備え、前記第1の電圧電流変換回路から出力される電流と前記第2の電圧電流変換回路から出力される電流とを加えた和電流が、前記制御電流として、前記電流制御発振器に入力され、さらに、  
 前記電流制御発振器の出力信号の周期を測定する周波数測定回路と、  
 前記周波数測定回路の測定結果に基づき、前記発振器の発振周波数範囲内で、PLL回路がロックするように、前記分周器の分周値を設定する分周判定回路と、を備えたことを特徴とするPLL回路。  
 【請求項12】前記周波数測定回路が、前記周波数測定回路に入力される被測定対象の信号を入力とし該信号を分周した信号を出力する分周器と、  
 前記分周器で分周された信号の立ち上がりから次の立ち上がりまでの間、もしくは立ち下がりから次の立ち下がりまでの間、基準クロック生成回路から入力される基準クロックを計数するカウンタと、  
 を含む、ことを特徴とする請求項6乃至11のいずれかに記載のPLL回路。  
 【請求項13】前記周波数測定回路が、前記周波数測定回路に入力される被測定対象の信号、または前記信号を分周器で分周した信号の、立ち上がりから次の立ち上がりまでの間、もしくは立ち下がりから次の立ち下がりまでの間、オン状態とされるスイッチと、  
 前記オン状態とされるスイッチを介して定電流源からの電流により充電される容量と、  
 前記容量の端子電圧を測定し、測定結果をデジタル値として出力するアナログ・デジタル変換器と、  
 を含む、ことを特徴とする請求項6乃至11のいずれかに記載のPLL回路。  
 【請求項14】記録ディスクから読み出した信号とデー

4  
 タ読み出しクロックとを入力とする位相比較部の出力電圧を第1の低域通過フィルタで平滑化し第1の電圧電流変換器で電流に変換出力した位同期系の電流と、EFMデータとデータ読み出しクロックとを入力とする周波数比較部の出力電圧を第2の低域通過フィルタで平滑化し第2の電圧電流変換器で電流に変換出力した周波数同期系の出力電流とを合成して電流制御発振器に入力し、前記電流制御発振器の出力を分周器を介して前記位相比較部と前記周波数比較部に入力するPLL回路において、  
 前記分周器は、複数の分周値のうち選択された分周値で前記電流制御発振器の出力を分周し、  
 前記電流制御発振器の出力信号の一周期の長さを、基準クロック生成回路で生成された基準クロックを用いて計数する周波数カウンタと、  
 前記周波数カウンタの計数値に基づき、前記電流制御発振器の発振周波数範囲を求め、前記電流制御発振器の発振周波数範囲内でロックするように、前記分周器の分周値を設定する分周判定回路と、  
 を備えたことを特徴とするPLL回路。  
 【請求項15】前記分周器が、前記分周器への入力信号を、1の分周値又は互いに異なる分周値で分周した1又は複数の信号と、前記分周器への入力信号とを入力とし、前記分周判定回路から出力される信号を選択信号として、前記入力される複数の信号のうちいずれか一を選択して出力する選択回路を備えた、ことを特徴とする請求項6乃至14のいずれかに記載のPLL回路。  
 【請求項16】前記周波数測定回路の測定結果に基づき、前記第1の低域通過フィルタの遮断周波数を可変に設定するように構成とされている、ことを特徴とする請求項9、11、14のいずれかに記載のPLL回路。  
 【請求項17】記録ディスクからデータを読み取るためのヘッドを介して読み取られたデータから再生RF信号、フォーカス誤差信号及びトラッキング誤差信号を生成するアンプと、前記アンプからの再生RF信号の雑音除去及び波形等化を行うフィルタと、前記フィルタからの再生RF信号を2値化する2値化回路と、前記2値化回路で2値化されたデータを入力し該データに同期したデータ読み出し用クロックを生成出力するPLL回路と、前記PLL回路からのデータ読み出し用クロックに基づきデータの復調を行う復調回路と、再生データのエラー訂正を行うエラー訂正回路と、前記記録ディスクを回転駆動する電動機、前記ヘッド及び電動機を制御するサーボ制御装置と、全体を制御するCPUと、を備えた再生装置において、  
 前記PLL回路を請求項7乃至16のいずれかのPLL回路で構成したことを特徴とするデータ読み取り装置。  
 【請求項18】前記分周判定回路の出力に基づき、前記フィルタの特性を可変に設定するように構成されてい

BEST AVAILABLE COPY

(4)

特開2001-135038

5

る。ことを特徴とする請求項17記載のデータ読み取り装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、PLL(Phase Locked Loop:位相同期ループ)回路に関し、特に、記録媒体から読み出された信号と同期したクロック信号の生成に用いて好適なPLL回路に関する。

【0002】

【従来の技術】ディジタル記録方式で情報が記録された記録ディスクからデータを再生する装置において、再生クロックとなるデータ読み取りクロックを用いて、記録ディスクに記録されたデータの読み取りを行う際に、データとデータ読み取り用クロックとの同期をとるために、PLL回路が用いられている。

【0003】図12は、従来のデータ読み取り装置(再生装置)の構成の一例を示す図である。図12を参照すると、記録ディスク401からデータを読みとる光学ヘッド402と、光学ヘッド402から読み取られたデータから再生RF信号、フォーカス誤差信号及びトラッキング誤差信号を生成するアンプ(プリアンプ)404と、アンプ404からの再生RF信号の雑音除去及び波形等化を行うフィルタ回路(等化器)406と、再生RF信号を“1”、“0”に2値化する2値化回路407と、2値化されたデータに同期したクロック(RDCK)の「データ読み出しクロック」あるいは「データクロック」ともいう)を生成するPLL回路408と、データの復調を行うデコーダ(復調回路)409と、再生データのエラー訂正を行うエラー訂正回路410と、全体を制御するCPU411と、記録ディスク401を回転駆動するディスクモータ403と、光ヘッド402及びディスクモータ403を制御するサーボ制御装置405と、を備えている。

【0004】図11は、図12に示したデータ読み取り装置に用いられるPLL回路408の構成の一例を示す図である。

【0005】図11を参照すると、このPLL回路は、入力される制御電流に応じて所定の周波数の信号を出力する電流制御発振器(current controlled oscillator:「CCO」ともいう)110と、電流制御発振器110から出力された信号の周波数を1/Nに分周してデータ読み取りクロック(RDCK)として出力する分周器111と、記録ディスクから読み取られたデータ信号内の同期検出パターン(シンクパターン)と、分周器111から出力されたデータ読み取りクロック(RDCK)との位相を比較し、両者の位相誤差に応じた幅を有するパルス信号に変換して出する位相比較器101と、位相比較器101から出力されるパルス信号を電圧に変換して出力する第1のチャージポンプ(CP)102と、第1のチャージポンプ102から出力された電圧信

6

号から高周波成分を阻止してノイズを遮断する第1のローパスフィルタ(LPF)103と、第1のローパスフィルタ104の出力電圧を電流値に変換する第1の電圧電流変換器104と、記録ディスクから読み取られたデータ信号内の同期検出パターンと、分周器111から出力されたデータ読み取りクロックを用いて、データ信号に対するデータ読み取りクロックの周波数誤差を検出し、周波数誤差に応じた幅を有するパルス信号に変換して出力する周波数比較器105と、周波数比較器105から出力されるパルス信号を電圧に変換して出力する第2のチャージポンプ(CP)106と、第2のチャージポンプ106から出力された電圧信号から高周波成分を阻止してノイズを遮断する第2のローパスフィルタ(LPF)107と、第2のローパスフィルタ107の出力電圧を電流値に変換する第2の電圧電流変換器108と、第1、及び第2の電圧電流変換器104、108の出力電流を合成して出力する電流加算器(合成器)109と、を備え、電流加算器109で加算された電流が、制御電流として、電流制御発振器110に入力されている。

【0006】図11に示したPLL回路においては、周波数比較器105、第2のチャージポンプ106、第2のローパスフィルタ107、第2の電圧電流変換器108、加算器109、電流制御発振器110、分周器111のループにおいて、記録ディスクから読み出された同期パターン(シンクパターン)に基づき、周波数誤差を検出することによって周波数の同期をとり、周波数同期のとれた段階で、位相比較器101、第1のチャージポンプ102、第1のローパスフィルタ103、第1の電圧電流変換器104、電流加算器109、電流制御発振器110、分周器111のループで、データ読み出し用クロックと入力信号(EFM信号)との位相合わせが行われる。

【0007】すなわち、電流制御発振器110からは、記録ディスクに記録されたデータのクロックとある程度近い周波数及び位相を有する信号が出力され、分周器111で1/Nに分周され(この場合、分周値「分周比」ともいう)はN)、データ読み取りクロック(RDCK)として出力され、分周器111から出力されるデータ読み取りクロック(RDCK)は、位相比較器101及び周波数比較器105に帰還入力される。

【0008】周波数比較器105では、記録ディスクから読み取られた同期検出パターンを用いて、データ信号に対するデータ読み取りクロックの周波数誤差が検出され、検出された誤差に基づく電圧値が第2のチャージポンプ106から出力され、第2のローパスフィルタ107を介して高周波成分がカットされた電圧が第2の電圧電流変換器108で電流に変換されて加算器109で加算されて、制御電流として、電流制御発振器110に入力され、電流制御発振器110では、入力された制御電

BEST AVAILABLE COPY

(5)

特開2001-135038

7

8

流に基づき所定の周波数の信号を出力する。

【0009】電流制御発振器110で所定の周波数の信号が生成された後に、位相比較器101において、記録ディスクから読み取られたデータ信号の同期検出パターンを用いて、データ信号に対するデータ読み取りクロックの位相誤差が検出され、検出された位相誤差に応じた電圧が第1のチャージポンプ102から出力され、第1のローパスフィルタ103、第1の高圧電流変換器104を介して電流に変換され、電流加算器109で、第2の高圧電流変換回路108からの電流と加算された電流が制御電流として、電流制御発振器110に入力され、電流制御発振器110では、記録ディスクから読み出されたデータ信号と位相の合った、すなわち同期のとれたデータ読み取りクロックが生成される。

【0010】上記した一連の動作により、データ読み取りクロック(RDCK)の記録ディスクに記録されたデータに対する同期制御が行われる。

【0011】記録ディスクにおいては、記録ディスクに記録されたデータとデータ読み取りクロックとの同期制御を行うため、例えば図13(a)に模式的に示すように、1フレーム毎にシンクパターンが設けられており、CD-ROMではEFM(Eight to Fourteen Modulation; 8-14変換変調)信号方式、DVD(Digital Versatile Disk)ではEFMplus符号が用いられている。

【0012】EFM信号方式においては、図13(b)に示すように、シンクパターンは、最大反転間隔(11T; Tはチャンネルビット長)が2回連続する信号であり、データ信号は、記録ディスクのビット長とビット間隔によって「11T」以下となっており、データ読み取りクロックによって信号の立ち上がりから次の立ち上がりから立ち下がりから次の立ち下がりまでを計測し、計測値が「22」であった場合、シンクパターンと判断している。

【0013】一方、EFMplus信号方式では、例えば図13(c)に示すように、シンクパターンは14Tと4Tとの反転間隔を有する信号とされており、シンクパターン1周期の18Tの間に「1」が9回続き、「0」が9回続く9T+9Tや、「1」が10回続き、その後「0」が8回続く10T+8Tといったデータ信号も含まれている可能性があるため、データ読み取りクロックによって、信号の立ち上がりから次の立ち上がり、または立ち下がりから次の立ち下がりまでを計測し、計測値が「18」であった場合でも、直ちに、シンクパターンと判断することはできない。このため、データ読み取りクロックによって、信号の立ち上がりから立ち下がり、または立ち下がりから立ち上がりまでを計測し、計測値が「14」の場合、データ読み取りクロックによって、その後の信号の立ち上がり又は立ち下がりまでを、さらに計測し、計測結果に基づき、周波数誤差を

検出している。

【0014】データ読み取りクロックによって、EFMplus信号の立ち上がりから立ち下がりまで、または立ち下がりから立ち上がりまでを計測し、計測値が「14」以外の場合、その計測値に基づいた互いに異なる幅を有するパルス信号が周波数誤差信号として出力される。一方、計測値が「14」となった場合、データ読み取りクロックによって、その後の信号の立ち上がり又は立ち下がりまでを計測し、この計測結果に基づき、互いに異なる幅を有するパルス信号が周波数誤差信号として出力され、出力された周波数誤差信号は第2のチャージポンプ106で電圧に変換されて、第2の低域通過フィルタ107、第2の高圧電流変換器108、電流加算器109を介して、制御電流が電流制御発振器110に供給され、所定の周波数の信号が出力される。

【0015】EFMplus信号の立ち上がりから立ち下がりまで、または立ち下がりから立ち上がりまでを計測し、計測値が「14」となった場合で、その後の信号の立ち上がり又は立ち下がりまでの計測値が「4」の場合、周波数誤差信号はセンター値を出力し、データ読み取りクロックとEFMplus信号との周波数が同期していることになる。

【0016】そして周波数誤差信号がセンター値を出力し、データ読み取りクロックとEFMplus信号の周波数が同期したのち、第2の高圧電流変換器108からの出力電流値をオフセット電流として、位相比較器101におけるデータ読み取りクロックとEFMplus信号のエッジ比較により位相誤差の検出が行われ、第1の低域通過フィルタ103、第1の高圧電流変換器104、電流加算器109、電流制御発振器110、分周器111のループによって、データ読み取りクロックとEFMplus信号の位相が同期(ロック)するように引き込み動作が行われる。その際、分周器111の分周値は、周波数同期時の値に固定されている。なお、図12、図13等についての詳細は、本願出願人による特許出願である特願平10-18856号(本願出願時未公開)等の記載が参照される。

【0017】ところで、記録ディスクの回転は、CLV(Constant Linear Velocity; 線速度一定)とされるCLVサーボ制御が行われている。音楽用のCD(compact disk)を再生する再生装置ではディスクの回転速度が比較的低速とされており、ディスク径方向の位置での回転速度差が小さい。すなわち、CDの内周及び外周のデータクロックの周波数範囲も大きくない。このため、例えばシーク後の新たなアドレス位置でCLV速度の調整を行った後、EFM信号に対し、PLL回路408でデータ読み取りクロックの引き込みを行い、ロック状態となるまでの時間はさほど長くなく、シーク時間に大きく影響することはない。

【0018】

UNAVAILABLE COPY

(6)

特開2001-135038

9

【発明が解決しようとする課題】近時、情報処理装置の記憶媒体として用いられるCD-ROM、DVD等では、転送レートを上げるため、4倍速、8倍速、16倍速、32倍速といった回転速度での高速読み出しが行われる。

【0019】記録ディスクが、CAV (Constant Angular Velocity: 回転速度が一定) で回転しているとき、例えば12cmのディスクの場合、その内周の線速度に対して外周の線速度は2.5倍となる。一例として、8倍速CAVの場合、図10(a)に示すように、データ読み取りクロックは、内周では、83.712MHz、外周では、209.28MHzとなり、分周器111の分周値(分周比)が例えば「1」に固定の場合、電流制御発振器110は、内周から外周までの間で2.5倍の発振周波数範囲が必要とされている。

【0020】この場合、分周器111の分周値が固定のまま、データ読み出しクロック(RDCK)のクロックレートが変わるため、電流制御発振器110の発振周波数範囲を広く(例えば $f_{out}/f_{in}=2.5$ 倍以上)設計する必要がある。

【0021】その理由は、電流制御発振器110の発振範囲が狭い場合(すなわち、 $f_{out}/f_{in}=2.5$ 未満の場合)、記録ディスクから読み出されるクロック周波数が発振器の発振範囲を超えるため、PLLがロックしなくなるためである。

【0022】記録ディスクから読み出される読み出し信号に同期したクロックを短時間に生成するPLL回路として、例えば特開平10-69733号公報には、記録ディスクから読み出されるEMF信号を基準クロックを用いて周波数を計測し、計測値に応じた電圧値を、ループフィルタの出力に加算して電圧制御発振器に制御電圧として供給し、電圧制御発振器の発振周波数を可変させるようにした構成が提案されている。このように、上記特開平10-69733号公報に記載される構成は、電圧制御型発振器の発振周波数範囲を広く設計するものである。

【0023】しかしながら、PLL回路の周波数可変範囲の拡大を図るべく、電流制御発振器110の発振周波数の可変範囲を大きくした場合、リアリティの保証された発振器を構成することは著しく困難となる。

【0024】そして、例えば周波数可変範囲の下限において、電流制御発振器110のリングオシレータを構成するインバータが反転しなくなり電流制御発振器110は発振を停止する場合さえ起こり得る。

【0025】一方、リアリティに劣る電流制御発振器を用いたPLL回路では、データ読み出しクロックにEMF信号を正しく位相同期させることが困難となる。

【0026】さらにPLL回路の電流制御発振器の周波数可変範囲を拡大した場合、PLL回路の引き込み時間が増大する、という問題点を有している。

10

【0027】PLL回路の周波数可変範囲の拡大を図るべく、PLL回路に、互いに異なる中心周波数を持つ電圧制御発振器を複数備え、選択器でこのうちの一つを選択するようにしたPLL回路が、例えば特開平6-104748号公報に提案されている。しかしながら、かかる構成は、回路規模の増大、消費電流の増大を招き、実用上好ましい構成とはいえない。

【0028】そして、PLL回路の分周器111を可変型とし、データ読み取り装置(再生装置)のCPU411(図12参照)、あるいは、データ読み取り装置が接続される上位装置のコンピュータで実行されるソフトウェア制御により、分周器111の分周比の設定を行う場合において、ソフトウェア側からは、PLLロックの際の発振周波数を直接見ることはできず、分周器411に対して、最適な分周値を直接設定することはできない。

【0029】このため、記録ディスク401からの読み出し時に、誤り訂正回路410において、誤り訂正不能なエラーが連続して複数ブロックにわたって発生した場合(バーストエラー発生時)等に、分周器411の分周値を可変させることで、データの再読み出し(リトライ処理)を行い、このようにして、データの読み出しが行えるまで分周器の分周値の設定を試行することになる。

【0030】しかしながら、かかるソフトウェアによる制御は、アクセスの時間が長くなるとともに、ソフトウェアの負担も増し、効率が悪い。

【0031】また、例えば特開平7-303042号公報には、周波数変更のタイミングのオーバーシュートを少なくして高速周波数切り換えができるPLL周波数シンセサイザとして、位相比較器、ループフィルタ、電圧制御発振器、可変周波数分周器を備えたPLL回路において、電圧制御発振器の出力を入力しその波の数をカウントするカウンタと、カウンタの出力を保持するレジスタと、レジスタの値が記憶回路の周波数とを比較するデータ比較器と、演算器とを備え、はじめに目的の周波数よりも低い周波数を出力するような分周値を可変周波数分周器に指示し、電圧制御発振器の出力が所定の周波数になったら可変周波数分周器に指示する分周値に変更して、目的の周波数に応じた分周値にするようにした構成が開示されている。上記特開平7-303042号公報に記載されている構成は、カウンタで、電圧制御発振器の出力信号を直接カウントし、所定の計数値に達しているか否かを判定するだけのものである。

【0032】したがって本発明は、上記問題点に鑑みてなされたものであって、その目的は、発振器の発振周波数の範囲を広げることなく、入力信号の周波数の変化に対応可能なPLL回路及び該PLL回路を備えたデータ読み取り装置を提供することにある。これ以外の本発明の目的、特徴、利点等は、以下の説明から当業者には直ちに明らかとされるであろう。

50 【0033】

(7)

特開2001-135038

11

【課題を解決するための手段】前記目的を達成する本発明は、位相比較器の出力に応じた制御電圧又は制御電流に応じて発振周波数が可変される発振器の出力を分周値可変型の分周器を介して位相比較器に帰還入力し入力信号との位相差を検出するPLL回路において、前記入力信号、もしくは発振器の出力の周期の測定結果に応じて、前記分周器の分周値を可変に設定する手段を備えたものである。

【0034】本発明は、制御電流を入力と前記制御電流に応じた周波数のクロック信号を生成出力する電流制御発振器と、分周値が可変に設定され、前記電流制御発振器からのクロック信号を分周する分周器と、入力信号と前記分周器から出力されるクロック信号とを入力としこれらの信号の位相差に対応した電圧を出力する位相比較部と、前記入力信号と前記分周器から出力されるクロック信号とを入力とし、前記入力信号の同期パターンを前記分周器から出力されるクロック信号で計測することで周波数誤差を検出し、前記周波数誤差に応じた誤差電圧を出力する周波数比較部と、前記位相比較部からの出力電圧を入力とする第1の低域通過フィルタと、前記周波数比較部からの出力電圧を入力とする第2の低域通過フィルタと、前記第1の低域通過フィルタの出力電圧を電流に変換する第1の電圧電流変換回路と、前記第2の低域通過フィルタの出力電圧を電流に変換する第2の電圧電流変換回路と、前記第1の電圧電流変換回路と前記第2の電圧電流変換回路から出力される電流値が合成されて、前記電流制御発振器の制御電流として入力され、前記電流制御発振器の出力信号の周期を測定する周波数測定回路と、前記周波数測定回路の測定結果に基づき、前記発振器の発振周波数範囲内で、PLL回路がロックするように、前記分周器の分周値を可変させる分周判定回路と、を備える。

【0035】

【発明の実施の形態】本発明の実施の形態について説明する。本発明は、図1を参照すると、その好ましい一実施の形態において、入力信号(1N)を一の入力端に入力する位相比較器(1)と、位相比較器(1)の出力電圧を入力とする低域通過フィルタ(「ループフィルタ」という)(2)と、このループフィルタ(2)の出力電圧に基づき発振周波数が可変に設定される電圧制御発振器(Voltage Controlled Oscillator:「VCO」という)(3)と、電圧制御発振器(3)の出力信号を分周し、位相比較器(1)の他の入力端に供給する分周器(4)と、を備え、分周器(4)は分周値が可変に設定可能とされており、さらに、入力信号の1周期分の長さを計数する周波数測定回路(5)と、周波数測定回路(5)の測定結果に基づき、入力信号周波数を測定して前記分周器の分周値を決定し前記分周器の分周値を可変させる分周判定回路(6)と、を備える。

【0036】また本発明は、その好ましい第2の実施の

12

形態において、図2を参照すると、電圧制御発振器

(3)の出力の1周期分の長さを計数する周波数測定回路(5)と、周波数測定回路(5)の測定結果に基づき前記分周器の分周値を決定し前記分周器の分周値を可変させる分周判定回路(6)と、を備える。

【0037】なお、上記各実施の形態において、電圧制御発振器(3)は、ループフィルタ(2)の出力電圧を入力して電流に変換する電圧電流変換器(31)と、電圧電流変換器からの電流出力を制御電流として入力する電流制御発振器(32)とを備えた構成としてもよい。

【0038】本発明の第3の実施の形態は、図3を参照すると、記録ディスク等から読み出される読み出し信号に同期したクロックを生成するPLL回路に、本発明を適用したものであり、入力される制御電圧に応じた周波数のクロック信号を生成出力する電圧制御発振器(116)と、分周値が可変に設定され、電圧制御発振器(116)からのクロック信号を分周する分周器(111)と、入力信号と分周器(111)から出力されるクロック信号とを入力とし、これらの信号の位相差に対応した電圧を出力する位相比較部(位相比較器101とチャージポンプ102)と、前記入力信号と分周器(111)からのクロック信号とを入力とし、前記入力信号の同期パターンを前記分周器からのクロック信号で計測することで周波数誤差を検出し前記周波数誤差に応じた誤差電圧を出力する周波数比較部(周波数比較器105とチャージポンプ106)と、位相比較部(101、102)からの出力電圧を入力とする第1の低域通過フィルタ(103)と、周波数比較部(105、106)からの出力電圧を入力とする第2の低域通過フィルタ(107)と、第1の低域通過フィルタ(103)の出力電圧と第2の低域通過フィルタ(107)の出力電圧とを加算する電圧加算器(115)と、を備え、電圧加算器(115)の出力電圧が電流制御発振器(116)の制御電流として入力され、電圧制御発振器(116)の出力の周期を測定する周波数測定回路(117)と、周波数測定回路(117)の測定結果に基づき、発振器(116)の発振周波数範囲内で、PLL回路がロックするように、分周器(111)の分周値を可変させる分周判定回路(113)と、を備える。なお、上記第3の実施の形態において、電圧制御発振器(3)は、電圧電流変換器と、電圧電流変換器からの電流出力を制御電流として入力する電流制御発振器と、を備えた構成としてもよい。

【0039】さらに本発明の第4の実施の形態は、図4を参照すると、記録ディスク等から読み出される読み出し信号に同期したクロックを生成するPLL回路に本発明を適用したものであり、入力される制御電流に応じた周波数のクロック信号を生成出力する電流制御発振器(110)と、分周値が可変に設定され、電流制御発振器(110)からのクロック信号を分周する分周器(1



NOT AVAILABLE

(9)

特開2001-135038

15

御発振器3の発振周波数範囲から、ロック可能な発振周波数となる分周値を求め、分周器4の分周値を自動設定する。

【0049】本発明の第2の実施例においても、前記第1の実施例と同様、電圧制御発振器3の周波数範囲を、入力信号周波数の全範囲に対応させる必要はなく、一部の範囲で、入力信号周波数の全範囲で位相同期可能とされる。

【0050】なお、前記第1、第2の実施例において、図2(b)に示すように、電圧制御発振器(VCO)3は、低域通過フィルタ2の出力電圧を電流に変換する電圧電流変換器(V/I変換器)31と、電圧電流変換器から出力される制御電流を入力とする電流制御発振器(ICO)32で構成してもよいことは勿論である。

【0051】次に、本発明の第3の実施例として、図12を参照して説明した、CD-ROM、DVD等の記録ディスクのデータ読み取り装置に、本発明のPLL回路を適用した例について説明する。なお、図12に示したデータ読み取り装置については、前記した説明が参照される。

【0052】図3は、本発明の第3の実施例の構成を示す図である。図3を参照すると、本発明の第3の実施例は、入力される制御電圧に応じて所定の周波数のクロック信号を生成出力する電圧制御型発振器(VCO)116と、電圧制御型発振器116の出力を分周する分周器111と、入力信号(EFM信号)と、分周器111の出力(RDCK)を入力とし、両者の位相誤差に応じた幅を有するパルス信号に変換して出力する位相比較器101と、位相比較器101から出力されるパルス信号を電圧に変換して出力する第1のチャージポンプ102と、入力信号(EFM信号)とクロック信号(RDCK)を入力とし、前記入力信号の同期パターン(シンクパターン)を前記クロック信号(RDCK)で計測することにより同期パターンの周波数誤差を検出し、周波数誤差に応じた幅を有するパルス信号に変換して出力する周波数比較器105と、周波数比較器105から出力されるパルス信号を電圧に変換して出力する第2のチャージポンプ106と、第1のチャージポンプ102の出力電圧を入力とする第1の低域通過フィルタ103と、第1のチャージポンプ106の出力電圧を入力とする第2の低域通過フィルタ107と、第1の低域通過フィルタ103の出力電圧と、第2の低域通過フィルタ107の出力電圧とを加算する電圧加算器115と、を備え、電圧加算器115の出力電圧が電圧制御発振器116に制御電圧として入力され、電圧制御発振器3の発振周波数を測定する周波数測定回路117と、周波数測定回路117の測定結果に基づき分周器111の分周値を決定して設定する分周判定回路113と、を備え、電流制御発振器3の発振周波数に応じて分周値を可変に設定する。なお、周波数比較器105については、例えば上記特願平10

16

-18856号(本願出願時未公開)等の記載が参照される。

【0053】図5は、周波数測定回路117の構成の一例を示す図である。図5を参照すると、電圧制御発振器(VCO)116の出力を入力とする分周器121と、分周器121により所定の分周値(例えば分周値1024)で分周された信号を入力し、該分周された信号の立ち上がりエッジから次の立ち上がりエッジまでの期間、もしくは該分周された信号の立ち下がりエッジから次の立ち下がりエッジまでの期間、アクティブ状態の制御信号を出力する制御信号発生回路122と、制御信号発生回路122からの制御信号がアクティブの時に、不図示の基準クロック発生回路から出力される例えば100MHzの周波数の基準クロックパルスを計数するカウンタ123とを備え、カウンタ123における1周期計測時点でのカウント値が、分周判定回路113に読み出される。カウンタ123において、電圧制御発振器116を分周器121で分周した信号の1周期を計測した後、少なくとも、カウント値が分周判定回路113に読み出されるまでの間、制御信号発生回路122からのカウンタ123に供給される制御信号はインアクティブとされ、カウンタ123はカウント動作を停止する。周波数測定回路117の出力値(カウンタ123のカウント値)が分周判定回路113に読み出された後、カウンタ123がリセット(ゼロクリア)され、その後、例えば、分周器111への分周値の設定が行われた後に、周波数測定回路117で周波数の計測を開始するように構成される。また装置の電源オン時等の初期化(リセットシーケンス)時にも、カウンタ123はリセットされる。

【0054】図6は、周波数測定回路117の構成の別の例を示す図である。図6を参照すると、周波数測定回路117は、電圧制御発振器(VCO)116の出力又はこの出力を不図示の分周器で分周した信号を入力し、立ち上がりエッジから次の立ち下がりエッジの間、もしくは立ち下がりエッジから次の立ち下がりエッジまでの間だけ、アクティブ状態の制御信号を出力する制御信号発生回路124と、制御信号発生回路124からの制御信号がアクティブのときオンするスイッチ(SW1)126と、電源とスイッチ116の一端との間に接続された定電流源125と、スイッチ126の他端とグランド電位間に接続されたコンデンサ127と、コンデンサ127の端子電圧をアナログ入力とするA/D変換器128と、コンデンサ127の放電用のスイッチ(SW2)129と、を備えており、A/D変換器128のデジタル出力信号が分周判定回路113に入力されている。

【0055】周期測定動作時、アクティブ状態とされる制御信号を受けて、スイッチ126がオンし(スイッチ129はオフ状態)、定電流源125からの定電流Icがコンデンサ127に流れ込み、コンデンサ127の端

図 10

(10)

特開 2001-135038

17

子電圧は上昇し、1周期経過時点で、スイッチ126がオフし、1周期経過時点でA/D変換器128でコンデンサ127の端子電圧をA/D変換する。周波数測定回路117の出力値が分周判定回路113に読み出された後、スイッチ129がオンしてコンデンサ127が放電され、その後、例えば、分周器111への分周値の設定が行われた後に、周波数測定回路117で周波数の計測を開始するように構成される。

【0056】図5、図6に示した周波数測定回路は、図1、図2に示した周波数測定回路5に適用できることは勿論である。なお、本発明において、周波数測定回路は、図5、図6に示した構成に限定されるものではなく、1周期分の長さを測定する回路であれば任意の回路構成を用いることができる。

【0057】分周判定回路113は、周波数測定回路117で1周期測定した時点で、周波数測定回路117の出力値を読み出し、その値に基づき、分周器111の分周値から入力信号の周波数に換算し、分周器111に設定する分周値を決定する。簡単な例で説明すると、PLL回路がロック状態にあるとき、分周値が「1」の時、電圧制御発振器116の出力周波数が元の値の2倍となった場合、周波数測定回路117の出力値は1/2となり、分周器111の分周値を「2」、すなわち電圧制御発振器116の出力信号を分周器111で1/2したものをデータ読み出しクロック(RDCK)として出力するように制御する。

【0058】分周判定回路113では、周波数測定回路117の出力値(デジタル出力信号)と、現在の分周器の分周値から入力周波数を算出し、電圧制御発振器116の発振周波数範囲から、ロック可能な発振周波数となる分周値を求め、分周器111の分周値を設定する。分周判定回路113は、周波数測定回路117の出力値と分周器111の現在の分周値を記憶するレジスタの内容から入力信号周波数を求める演算回路と、入力信号周波数に応じて分周器111に設定するために分周値選択信号を出力するルックアップテーブルを備えて構成される。

【0059】分周判定回路113は、分周器111に設定する分周値が前回の値と同じであれば、再設定せず、そのまま前回の状態を保持するように構成してもよい。

【0060】次に、本発明の第3の実施例の同期制御の動作について説明する。

【0061】EFM信号(もしくはEFMp-lus信号)とデータ読み出し用クロック(RDCK)を入力とする位相比較器101からの位相比較結果出力を第1のチャージポンプ102で電圧出力し、第1のローパスフィルタ103で高調波成分をカットしその出力である位相同期系の出力電圧と、EFM信号とデータ読み出し用クロック(RDCK)を入力とする周波数比較器104の出力を受ける第2のチャージポンプ106の出力電圧

18

を第2のローパスフィルタ107に入力し、第2のローパスフィルタ107の出力電圧である周波数同期系の出力電圧とを、電圧加算器115で加算したものを制御電圧として電圧制御発振器116に入力し、その出力を分周器111に入力し分周器111の出力をデータ読み出し用クロック(RDCK)として位相比較器101、周波数比較器105に入力している。

【0062】動作開始時は、位相比較器101、第1のチャージポンプ102、第1のローパスフィルタ103はスタンバイ状態とされており、周波数比較器105、第2のチャージポンプ106、第2のローパスフィルタ107、VCO116、分周器111のループで周波数が同期するように動作する(周波数同期)。この際、分周器111の分周値は、CPU(図12参照)で実行されるソフトウェアによりデータレート(1倍速、2倍速等)のクロックスピードに応じた所定値に設定される。

【0063】周波数が同期した時点で、第2のローパスフィルタ107の出力電圧は一定値に固定されており、位相比較器101、第1のチャージポンプ102、第1のローパスフィルタ103、VCO116、分周器111のループで位相が同期するようにPLL動作する(位相同期)。この際、分周器111の分周値は、周波数同期時の値に設定されており、この状態で、記録ディスクから読み出されるデータ読み出し用のクロックの速度が変わった場合には、周波数測定回路117がこれを検出し、分周判定回路113では、周波数測定回路117の出力値に基づき、電圧制御発振器116の発振周波数の範囲内で、位相同期するように、分周値を設定する。

【0064】次に、本発明の第4の実施例について説明する。本発明の第4の実施例も、前記第3の実施例と同様、図12を参照して説明した、CD-ROM、DVD等の記録ディスクのデータ読み取り装置に、本発明のPLL回路を適用した例について説明する。図4は、本発明の第4の実施例の構成を示す図である。図4を参照すると、本発明の第4の実施例は、図3に示した前記第3の実施例の周波数測定回路117を、基準クロック発生回路114と周波数カウンタ112で構成し、電圧制御発振器116を、制御電流で発振周波数が可変される電流制御発振器110で構成したものである。

【0065】より詳細には、図4を参照すると、本発明の第4の実施例のPLL回路は、入力された制御電流に応じて所定の周波数の信号を出力する電流制御発振器(current controlled oscillator)110と、電流制御発振器110から出力された信号の周波数を1/Nに分周してデータ読み取りクロック(RDCK)として出力する分周器111と、記録ディスクから読み取られたデータ信号内の同期検出パターン(シンクパターン)と分周器111から出力されたデータ読み取りクロック(RDCK)の位相を比較し、両者の位相誤差に応じた電圧を出力する幅を有するパルス信号に変換して出す

BEST AVAILABLE COPY

(8)

特開2001-135038

13

11)と、入力信号と分周器(111)から出力されるクロック信号とを入力とし、これらの信号の位相差に対応した電圧を出力する位相比較部(101、102)と、入力信号と前記分周器(111)からのクロック信号とを入力とし、前記入力信号の同期パターンを前記分周器(111)からのクロック信号で計測することで周波数誤差を検出し前記周波数誤差に応じた誤差電圧を出力する周波数比較部(105、106)と、位相比較部(101、102)からの出力電圧を入力とする第1の低域通過フィルタ(103)と、周波数比較部(105、106)からの出力電圧を入力とする第2の低域通過フィルタ(107)と、第1の低域通過フィルタ(103)の出力電圧を電流に変換する第1の高圧電流変換回路(104)と、第2の低域通過フィルタ(107)の出力電圧を電流に変換する第2の高圧電流変換回路(108)と、を備え、第1の高圧電流変換回路(104)から出力される電流と第2の高圧電流変換回路(108)から出力される電流を加えた和電流が電流制御発振器(110)に制御電流として入力される。そして、周波数測定回路として、電流制御発振器(110)の出力信号の周期を基準クロック生成回路(114)からの基準クロックに基づき計数する周波数カウンタ(112)を備え、周波数カウンタ(112)の計測結果に基づき、発振器(110)の発振周波数範囲内で、PLL回路がロックするように、分周器(111)の分周値を可変させる分周判定回路(113)を備えている。

【0040】

【実施例】上記した本発明の実施の形態についてさらに詳細に説明すべく、本発明の実施例について図面を参照して説明する。

【0041】図1は、本発明の第1の実施例をなすPLL回路の構成を示す図である。図1を参照すると、本発明の第1の実施例のPLL回路は、入力信号(IN)を一つの入力端に inputs する位相比較器1と、位相比較器1で検出された位相差に対応する出力電圧から高周波成分をカットする低域通過フィルタ(「ループフィルタ」ともいう)2と、低域通過フィルタ2の出力電圧に基づき発振周波数が可変に設定される電圧制御発振器(VCO)3と、電圧制御発振器3の出力信号を分周して位相比較器1の他の入力端に供給する分周器4と、を備え、分周器4はその分周値(分周値「1」も含む)が可変に設定可能とされており、さらに、入力信号の周期を測定する周波数測定回路5と、周波数測定回路5の測定結果に基づき前記分周器の分周値を可変させる分周判定回路6と、を備え、入力信号(IN)の周波数に応じて分周器4の分周値を可変に設定する。

【0042】周波数測定回路5は、周波数測定回路5に内蔵される不図示の分周器で、入力信号(IN)を分周した信号について、その立ち上がりエッジから次の立ち上がりエッジまでの期間(1周期)、または立ち下がり

14

エッジから次の立ち下がりエッジまでの期間(1周期)、不図示の基準クロックをカウントすることで、1周期に対応した基準クロックのパルスカウントを取得して、周波数の測定を行う。

【0043】あるいは、周波数測定回路5は、入力信号(IN)の立ち上がりエッジから次の立ち上がりエッジまでの1周期、または立ち下がりエッジから次の立ち下がりエッジまでの1周期の間、オンとされるスイッチを介して定電流源からの電流でコンデンサを充電し、1周期経過時点でのコンデンサの端子電圧を、A/D(アナログ・デジタル)変換することで、1周期の長さに対応した計数値を求めるように構成してもよい。周波数測定回路5の構成については後に詳述される。

【0044】分周判定回路6は、測定された入力信号の周波数に基づき、電圧制御発振器3の発振周波数範囲から、ロック可能な発振周波数となる分周値を求め、分周器4の分周値を自動設定する。

【0045】本発明の第1の実施例のPLL回路は、例えば、入力された信号からクロックを抽出する回路等に用いられ、入力信号(IN)の周波数レンジが、例えばf~8fにわたるとき、電圧制御発振器3の周波数範囲を4f~8fとし、分周器4の分周値を1(分周なし)、2、4と設定することで、8fからfまでの周波数範囲に位同期できることになる。すなわち発振周波数範囲をf~8fとした電圧制御発振器は不要とされ、発振周波数範囲を4f~8fとした電圧制御発振器を具備すればよいことになる。

【0046】図2(a)は、本発明の第2の実施例の構成を示す図である。本発明の第2の実施例は、周波数測定回路5が、電圧制御発振器3の出力信号の周期を測定している点が、図1に示した前記第1の実施例の構成と相違している。

【0047】周波数測定回路5は、電圧制御発振器3の出力を、周波数測定回路5に内蔵される不図示の分周器で分周した信号の立ち上がりエッジから次の立ち上がりエッジまでの1周期、又は立ち下がりエッジから次の立ち下がりエッジまでの1周期の間、不図示の基準クロックをカウントすることで、1周期に対応した基準クロックのパルスカウントを取得して、周波数の測定を行う。あるいは、周波数測定回路5は、入力信号の立ち上がりエッジから次の立ち上がりエッジまでの1周期、または立ち下がりエッジから次の立ち下がりエッジまでの1周期の間、オンとされるスイッチを介して定電流源からの定電流でコンデンサを充電し、1周期経過時点でのコンデンサの端子電圧を、A/D(アナログ・デジタル)変換することで、電圧制御発振器3の出力の1周期に対応した計数値を求めるように構成してもよい。

【0048】分周判定回路6は、分周器4の現在の分周値と、周波数測定回路5で測定された電圧制御発振器3の出力の周波数とから入力信号の周波数を求め、電圧制

特開 2001-135038

(11)

特開 2001-135038

19

20

る位相比較器101と、位相比較器101から出力されるパルス信号を電圧に変換して出力する第1のチャージポンプ102と、第1のチャージポンプ102から出力された電圧値のノイズを遮断する第1のローパスフィルタ103と、第1のローパスフィルタ104の出力電圧を電流値に変換する第1の電圧電流変換器104と、記録ディスクから読み取られたデータ信号内の同期検出パターンと分周器111から出力されたデータ読み取りクロックで計数し、周波数誤差に応じた幅を有するパルス信号に変換して出力する周波数比較器105と、周波数比較器105から出力されるパルス信号を電圧に変換して出力する第2のチャージポンプ106と、第2のチャージポンプ106から出力された電圧値のノイズを遮断する第2のローパスフィルタ107と、第2のローパスフィルタ107の出力電圧を電流値に変換する第2の電圧電流変換器108と、を備え、第1、第2の電圧電流変換器104、108の出力電流を加算する加算器109と、を備え、加算器109で加算された電流が制御電流として電流制御発振器110に入力され、電圧制御発振器3の出力信号の周期を測定することで周波数を測定する周波数カウンタ112と、周波数カウンタ112の測定結果に基づき分周器111の分周値を可変させる分周判定回路113と、を備え、電流制御発振器110の発振周波数に応じて、分周値を可変に設定する。

【0066】周波数カウンタ112は、水晶発振子を用いた基準クロック発生器114より出力される例えば100MHzの基準クロックをカウントすることで、電流制御発振器110の出力の周波数を測定する。

【0067】周波数カウンタ112は、図5に示したような構成とされており、カウンタ123に入力される制御信号（カウントイネーブル信号）がアクティブのとき、電流制御発振器110の出力を分周器121で例えば1024分周した信号の立ち上がりエッジから次の立ち上がりエッジまでの期間、基準クロック発生器114より入力される基準クロックのパルス数をカウントし、そのカウント値が、分周判定回路113に読み出される。周波数カウンタ112を構成するカウンタ123において、電流制御発振器110の出力を分周器121で1024分周した信号の1周期分を計測後、少なくとも、カウント値が分周判定回路113に読み出されるまで、制御信号（カウントイネーブル信号）はインアクティブ状態とされる。

【0068】分周判定回路113は、周波数カウンタ112において電流制御発振器110の出力の1周期の測定が完了した時点で、周波数カウンタ112を構成するカウンタ123のカウント値を読み出し、そのカウント値を、分周器111の分周値から入力信号の周波数に換算する。

【0069】周波数カウンタ112は、分周判定回路113に、周波数カウンタ112を構成するカウンタ12

3のカウント値が読み出された後、カウント値をリセット（ゼロクリア）し、再び、周波数の計測を開始するように構成してもよい。

【0070】分周判定回路113では、周波数カウンタ112から読み出したカウント値と、現在の分周器の分周値から入力周波数を算出し、電流制御発振器110の発振周波数範囲から、ロック可能な発振周波数となる分周値を求め、分周器111の分周値を設定する。分周判定回路113は、カウント値と分周器111の現在の分周値を記憶するレジスタの内容から入力信号周波数を求める演算回路と、入力信号周波数に応じて分周器111に設定するために分周値選択信号を出力するルックアップテーブルを備えて構成される。

【0071】分周判定回路113は、分周器111に設定する分周値が前回の値と同じであれば、再設定せず、そのまま前回の状態を保持するように構成してもよい。

【0072】本発明の第4の実施例の動作について説明する。本発明の第4の実施例においても、前記第3の実施例と同様、動作開始時は、位相比較器101、第1のチャージポンプ102、第1のローパスフィルタ103、第1の電圧電流変換器104はスタンバイ状態とされており、周波数比較器105、第2のチャージポンプ106、第2のローパスフィルタ107、第1の電圧電流変換器108、IC0110、分周器111のループで周波数が同期するように動作する（周波数同期）。この際、分周器111の分周値は、CPU411（図13参照）で実行されるソフトウェアによりデータレート（1倍速、2倍速等）のクロックスピードに応じた所定値に設定される。

【0073】周波数が同期した時点で、第2の電圧電流変換器108の出力電流は固定された状態とされ、合成器109を介して制御電流のオフセット電流として供給され、位相比較器101、第1のチャージポンプ102、第1のローパスフィルタ103、第1の電圧電流変換器104、VCO116、分周器111のループで位相が同期するようにPLL動作する（位相同期）。この際、分周器111の分周比は、周波数同期時の値に設定されており、この状態で、記録ディスクから読み出されるデータ読み出し用のクロックの速度が変わった場合には、周波数カウンタ112がこれを検出し、分周判定回路113では、周波数カウンタ112のカウント値に基づき、電圧制御発振器116の発振周波数の範囲内で、位相同期するように、分周値を設定する。

【0074】図7は、図1乃至図4に示した本発明の上記各実施例に適用される分周器4、111の構成の一例を示す図である。図7に示すように、この分周器は、分周値が1（分周しない）、2、4、8、16と可変に設定可能とされており、4段のフリップフロップ201～204と、分周判定回路203から出力される分周値選択信号を入力して保持するレジスタ205と、セレクト

(12)

特開2001-135038

21

206とを備えて構成されている。セレクト206は、電流制御発振器111の出力と、初段から最終段のフリップフロップ201～204の出力を入力とし、レジスタ205の出力を選択信号として選択された分周値に応じたものを選択する。フリップフロップ201は、反転出力端子Q<sup>-</sup>をデータ入力端子Dに帰還入力し、クロック入力端子(CK)に、電流制御発振器の出力(又は電圧制御発振器の出力あるいは入力信号)を入力し、後段の各フリップフロップ202～204は、反転出力端子Q<sup>-</sup>をデータ入力端子Dに帰還入力し、クロック入力端子(CK)には、前段のフリップフロップの出力端子Qが接続されている。

【0075】図8は、本発明の第4の実施例に適用される電圧電流変換回路104、108、及び図2(b)に示した電圧電流変換回路31の構成の一例を示す図である。図8を参照すると、この電圧電流変換回路は、ソースが共通接続されて基準電流を供給する定電流源I<sub>b</sub>に接続され、ループフィルタ(LPF)の出力電圧(V<sub>in</sub>)と基準電圧(V<sub>ref</sub>)とをゲートにそれぞれ入力とするPチャネルMOSトランジスタPM1、PM2と、を備え、PチャネルMOSトランジスタPM1のドレインはグラウンド電位に接続され、PチャネルMOSトランジスタPM2のドレインは、ソースがグラウンド電位に接続され、ドレインとゲートが接続されたNチャネルMOSトランジスタNM1のドレインに接続されており、ゲートがNチャネルMOSトランジスタNM1のゲートに共通接続され、ソースがグラウンド電位に接続されたNチャネルMOSトランジスタNM2のドレインから電流が出力され、NチャネルMOSトランジスタNM1、NM2は、カレントミラー回路を構成している。電圧(V<sub>in</sub>)と基準電圧(V<sub>ref</sub>)の差電圧に対応したドレイン電流がPチャネルMOSトランジスタPM2から出力されてカレントミラー回路の入力端に入力され、ミラー電流が、カレントミラー回路の出力端をなすNチャネルMOSトランジスタNM2のドレインから、電流制御発振器に対する制御電流I<sub>out</sub>として出力される。

【0076】電流加算回路109は、第1、第2の電圧電流回路104、108の出力(図6のカレントミラー出力)を接続することで構成してもよい。

【0077】図9は、電流制御発振回路の構成を示す図であり、図4に示した電流制御発振回路110、及び図2(b)の電流制御発振回路32に適用される回路構成の一例を示したものである。図9(a)を参照すると、ソースが電源(高電位電源VDD)に接続されており、ゲートとドレインとが互いに接続されて、制御電流入力端に接続されているPチャネルMOSトランジスタPM10と、出力端を入力端に帰還入力した奇数段(図では3段)のインバータ301、302、303よりなるリングオシレータと、リングオシレータの最終段のインバータ303の差動電圧出力を受けて出力信号(ICO出

22

力)を出力する電圧比較器304と、を備えて構成されている。

【0078】図9(b)は、リングオシレータを構成するインバータの回路構成の一例を示す図である。図9(b)を参照すると、各インバータは、ソースが電源に接続され、ゲートがG端子に接続され定電流源として作用するPチャネルMOSトランジスタPM11と、ソースが共通接続されてPチャネルMOSトランジスタPM11のドレインに接続され、ゲートが差動入力端子I<sub>1</sub>、I<sub>2</sub>に接続され、ドレインが負荷抵抗R1、R2を介してGND電位に接続されるとともに差動出力端子O<sub>1</sub>、O<sub>2</sub>に接続されてなるPチャネルMOSトランジスタPM12、PM13と、を備えて構成される差動増幅回路よりなる。

【0079】インバータのG端子はPチャネルMOSトランジスタPM10のゲートに共通接続される。すなわち、入力制御電流をPチャネルMOSトランジスタPM10で電圧に変換し、該電圧に基づきインバータ301～303の差動増幅回路の定電流源の電流値を可変させることで、インバータ1段あたりの遅延時間を可変させ、発振周波数を可変させ、インバータ303からの差動出力を差動入力する電圧比較器304が発振出力を出力する。

【0080】なお、図8に示した電圧電流変換回路の差動トランジスタ対PM1、PM2をNチャネルMOSトランジスタ、カレントミラー回路NM1、NM2をPチャネルMOSトランジスタで構成し、PチャネルMOSトランジスタで構成したカレントミラー回路からの出力電流を電流制御発振器に制御電流として入力するようにしてもよい。また図9(b)のインバータ回路を構成する差動増幅回路をNチャネルMOSトランジスタで構成するようにしてもよい。

【0081】図10(a)は、8倍速CAVの場合、内周と外周の線速度、データクロック(RDCK)と、分周比と、電流制御発振器の発振周波数の関係を示した図である。線速度は内周では3.2倍速、外周では8倍速となり、内周では83.712MHz、外周では209.28MHzとなる。

【0082】すなわち図10(a)を参照すると、上記実施例では、内周では、電流制御発振回路の発振周波数を167.42MHzとして分周器の分周値を「2」とし、外周では電流制御発振回路の発振周波数を209.28MHzとして分周値を「1」としている。

【0083】一方、従来の技術として説明したPLL回路(図11参照)において、分周器111が分周値「1」に固定されている場合、正しくロック動作するには、電流制御発振器は、その発振周波数を、内周では83.712MHz、外周では209.28MHzとすることが必要とされており、電流制御発振器は、83.712～209.28MHzの発振周波数範囲であること

BEST AVAILABLE COPY

(13)

特開2001-135038

23

が必要とされている。これに対して、本発明の上記各実施例においては、上記したように、内周では分周器111の分周値「2」、外周では分周値「1」と自動設定され、電流制御発振器110の発振周波数範囲は、167.42～209.28MHzの範囲でよいことになる。

【0084】図10(b)は、DVDのデータ読み取りクロック(RDCK)について、倍速値(16倍速まで)と、外周、内周の振速度、分周値、電流制御発振器の外周、内周の発振周波数の関係の一例を一覧形式で示したものである。

【0085】なお、上記した第4、第3の実施例のPLL回路の変形として、分周判定回路113からの分周値情報、あるいは周波数測定回路117(周波数カウンタ112)からの出力値に基づき、第1のローパスフィルタ103の遮断周波数 $f_c$ を可変に設定することで、フィルタ構成を、入力信号周波数に応じた最適値に自動で設定する構成としてもよい。例えば、図3又は図4に示した第1のローパスフィルタ103において、その遮断周波数 $f_c$ の値を規定する容量素子として、信号線とグラウンド位との間に、スイッチと容量からなる直列回路を複数個並列に接続し、分周判定回路113からの分周値選択情報に基づき、オンするスイッチを選択することで、時定数を可変させ、これにより、第1のローパスフィルタ103の遮断周波数 $f_c$ が入力信号周波数に応じて可変に設定される。

【0086】次に、本発明の第5の実施例について説明する。本発明の第5の実施例は、図12に示したデータ読み取り装置のPLL回路408として、前記した本発明の第3又は第4の実施例のPLL回路を備え、分周判定回路113からの分周値情報、あるいは周波数測定回路117(周波数カウンタ112)からの出力値に基づき、CPU411(図12参照)により、フィルタ回路406(図12参照)の特性(例えば遮断周波数 $f_c$ )の設定を可変させる。またフィルタ回路406の特性とともに、PLL回路の第1のローパスフィルタ103の遮断周波数 $f_c$ を、入力信号の周波数に基づき最適値に自動で設定するようにしてもよい。本発明の第5の実施例によれば、入力信号周波数に適したシステム構成に自動設定することができる。

【0087】

【発明の効果】以上説明したように、本発明によれば、下記記載の効果を奏する。

【0088】本発明の第1の効果は、ソフトウェアによらずに、PLL回路側で自律的に入力信号周波数に応じて最適な分周値を自動設定することができ、ソフトウェアの負担を軽減するとともに、同期に要する時間を高速化することができる、ということである。その理由は、PLL回路において、入力信号周波数に応じて分周器の分周値を可変に設定する手段を備えたためである。

24

【0089】本発明の第2の効果は、発振器の発振周波数範囲を狭く設定することができるため、発振器の設計を容易化するとともに、引き込み時間の短縮に貢献する、ということである。

【0090】本発明の第3の効果は、周波数測定回路での測定結果に基づき、PLL回路のフィルタ定数を自動設定することで、入力信号周波数に適した構成に自動設定することができる、ということである。

【図面の簡単な説明】

【図1】本発明の第1の実施例の構成を示す図である。

【図2】(a)は本発明の第2の実施例の構成を示す図、(b)は電圧制御発振器(VCO)の構成を示す図である。

【図3】本発明の第3の実施例の構成を示す図である。

【図4】本発明の第4の実施例の構成を示す図である。

【図5】本発明の各実施例に用いられる周波数測定回路の構成の一例を示す図である。

【図6】本発明の各実施例に用いられる周波数測定回路の構成の他の例を示す図である。

【図7】本発明の各実施例に用いられる分周器の構成の一例を示す図である。

【図8】本発明の各実施例に用いられる電圧電流変換器の構成の一例を示す図である。

【図9】(a)は本発明の各実施例に用いられる電流制御発振器の構成の一例を示す図、(b)はリングオシレータのインバータの構成の一例を示す図である。

【図10】本発明の一実施例の動作を説明するための図である。

【図11】従来のPLL回路の構成を示す図である。

【図12】従来のデータ読み取り装置(再生装置)の構成の一例を示す図である。

【図13】EMF、EMF plus 符号を説明するための図である。

【符号の説明】

1. 101、位相比較器
2. 103、107 ローパスフィルタ
3. 116 電圧制御発振器
4. 111 分周器
- 5 周波数測定回路
6. 113 分周判定回路
- 102、106 チャージポンプ
- 104、108 電圧電流変換器
- 109 合成器
- 112 周波数カウンタ
- 114 基準クロック
- 115 電圧加算器
- 121 分周器
- 122 制御信号発生器
- 123 カウンタ
- 124 制御回路

BEST AVAILABLE COPY

(14)

特開2001-135038

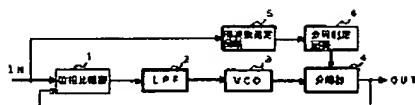
25

26

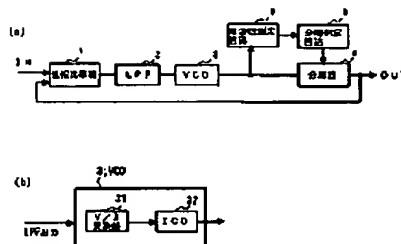
125 定電流源  
126、129 スイッチ  
127 コンデンサ(容量)  
128 A/D変換器  
201~204 フリップフロップ  
205 レジスタ  
206 セレクタ  
401 記録ディスク  
402 光ヘッド

\* 403 ディスクモータ  
404 アンプ(プリアンプ)  
405 サーボコントローラ  
406 フィルタ回路  
407 2値化回路  
408 PLL回路  
409 デコーダ  
410 誤り訂正回路  
\* 411 CPU

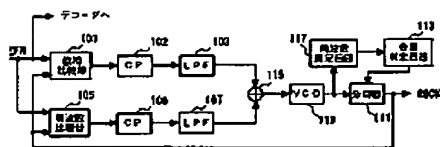
【図1】



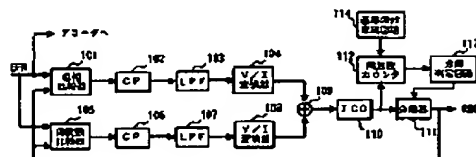
【図2】



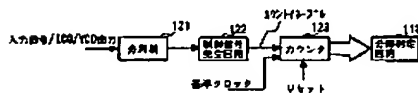
【図3】



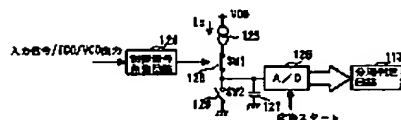
【図4】



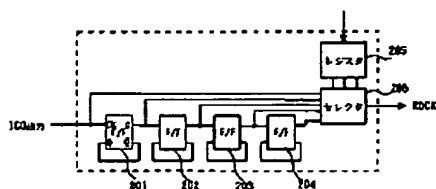
【図5】



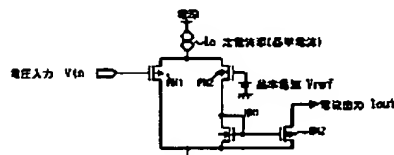
【図6】



【図7】



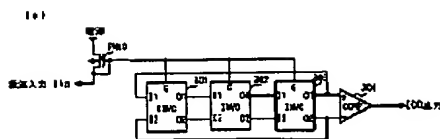
【図8】



(15)

特開2001-135038

【図9】

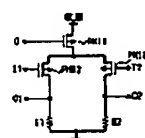


【図10】

(a)

項目	20MHz	40MHz
増幅率	1.2dB	2.0dB
1/fノイズ	63.71dBm/Hz	209.58dBm/Hz
1/f <sup>2</sup> ノイズ	1	1
雑音	63.71dBm/Hz	209.58dBm/Hz
雑音1/f	1	1
雑音1/f <sup>2</sup>	167.62dBm/Hz	209.58dBm/Hz

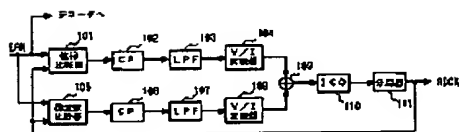
(b)



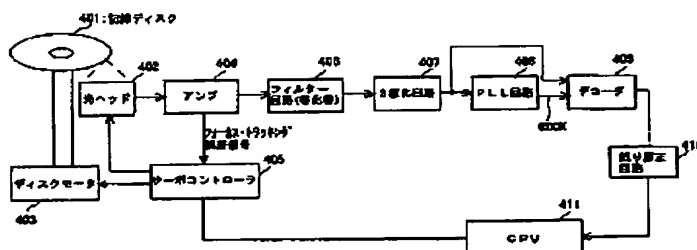
(b)

信号	20MHz		信号	40MHz	
	増幅率	雑音		増幅率	雑音
1	1.2dB	167.62	1.2dB	167.62	
2	2.0dB	167.62	2.0dB	167.62	
3	1.2dB	167.62	2.0dB	167.62	
4	1.2dB	167.62	2.0dB	167.62	
5	1.2dB	167.62	2.0dB	167.62	
6	1.2dB	167.62	2.0dB	167.62	
7	1.2dB	167.62	2.0dB	167.62	
8	1.2dB	167.62	2.0dB	167.62	
9	1.2dB	167.62	2.0dB	167.62	
10	1.2dB	167.62	2.0dB	167.62	
11	1.2dB	167.62	2.0dB	167.62	
12	1.2dB	167.62	2.0dB	167.62	

【図11】



【図12】





NOT AVAILABLE COPY

(16)

特開2001-135038

【図13】

